

Formation intensive en conception numérique en VHDL

Vous souhaitez développer vos compétences en électronique numérique dans un format court et professionnalisant ?

L'Ipst-Cnam Toulouse propose une formation intensive de 7 jours consacrée à la conception de systèmes numériques à l'aide du langage VHDL. Encadrée par Junwu Tao, Professeur à l'Institut National Polytechnique de Toulouse et responsable de la filière Électronique de l'Ipst-CNAM.

Cette formation organisée dans les locaux de Toulouse INP-ENSEEIH, peut être suivie dans le cadre d'une montée en compétences, d'un projet de poursuite d'études ou dans le parcours diplômant du diplôme d'ingénieur en systèmes électroniques du Cnam (ELE106).

La session débutera par une journée à distance permettant de revoir les fondamentaux indispensables, avant une phase intensive en présentiel à Toulouse. Les participants alternent ensuite entre apports théoriques, travaux dirigés et travaux pratiques, avec une mise en application progressive sur cartes FPGA, jusqu'à la réalisation d'un projet complet.

L'objectif est de permettre une montée en compétences rapide, depuis les bases de l'électronique numérique jusqu'à la conception et l'implémentation de systèmes fonctionnels.

Public et prérequis

Cette formation s'adresse à des personnes disposant d'un niveau Bac+2 en électronique ou Bac+3 en génie électronique (ou équivalent), souhaitant approfondir leurs compétences en conception numérique.

Elle est particulièrement adaptée aux auditeurs en reprise d'études ou aux professionnels souhaitant renforcer rapidement leurs compétences techniques.

Programme de la formation

La formation est organisée sur 7 jours, avec une progression pédagogique allant de la remise à niveau à la réalisation d'un projet appliqué.

19 juin – Distanciel (mise à niveau)

Matin : présentation de la formation, numération binaire et logique combinatoire
Après-midi Mise à niveau logique séquentielle. Présentation environnement logiciel et matériel

22-26 Juin : Formation en présentiel. Toulouse INP ENSEEIH

22 juin – Introduction au VHDL

Matin : Introduction au langage VHDL: description de systèmes combinatoires simples
Après-midi : Mise en œuvre d'un système combinatoire (langage VHDL et utilisation d'une carte de développement FPGA)

23 juin – Systèmes séquentiels

Matin : Description VHDL des systèmes séquentiels synchrones basiques (compteurs, registres à décalage,...)
Après-midi : Description VHDL des systèmes séquentiels synchrones basiques et mise en œuvre

24 juin – Projet (partie 1)

Réalisation et Mise en œuvre d'un "mini projet" (comme la gestion des afficheurs multiplexés et l'interfaçage avec un additionneur binaire 3 bits)

25 juin – Machines d'états

Matin : Machines d'états: diagramme d'état - description VHDL - exercices
Après-midi : Mise en œuvre d'un système décrit par une machine d'état

26 juin – Projet (partie 2)

Réalisation et mise en œuvre d'un mini projet

29 juin – Finalisation et restitution

Finalisation du projet
Présentation orale des réalisations

Modalité d'évaluation

Evaluation en continu des travaux pratiques et examen théorique final

Contacts :

Junwu TAO

Responsable de formation Électronique
junwu.tao@lecnam.net

Valérie CROUZIL

Gestionnaire de formation
valerie.crouzil@ipst-cnam.fr

Informations pratiques

Lieu : Toulouse INP-ENSEEIH, 2 rue Charles Camichel, 31000 Toulouse

Format : 1 journée à distance le 19 juin suivie de sessions en présentiel

Dates : du 19 au 29 juin 2026 (7 jours de formation soit 49h)

Effectif : 20 participants maximum

Date limite d'inscription : 8 juin 2026

Unité d'enseignement Cnam : ELE106 - Conception numérique en VHDL - 6 Crédits

En collaboration avec



<https://ipst.cnam.fr/formations-entreprises/le-cnam-entreprises/formation-intensive-en-conception-numerique-en-vhdl-1>